

Docket No.: 60188-592

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of	:	Customer Number: 20277
	:	
Masahiro JOEI	:	Confirmation Number:
	:	
Serial No.:	:	Group Art Unit:
	:	
Filed: August 27, 2003	:	Examiner: Unknown
	:	
For: METHOD FOR FABRICATING SEMICONDUCTOR DEVICE	:	

**CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop CPD
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

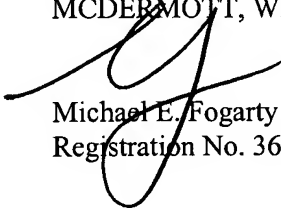
In accordance with the provisions of 35 U.S.C. 119, Applicant hereby claims the priority of:

Japanese Patent Application No. 2002-262429, filed September 9, 2002

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY



Michael E. Fogarty
Registration No. 36,139

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 MEF:tlb
Facsimile: (202) 756-8087
Date: August 27, 2003

60188-592
JOE I

日 本 国 特 許 庁 *20 August 27, 2003*
JAPAN PATENT OFFICE

McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日
Date of Application:

2002年 9月 9日

出 願 番 号
Application Number:

特願2002-262429

[ST.10/C]:

[JP 2002-262429]

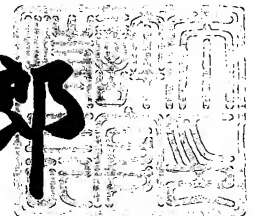
出 願 人
Applicant(s):

松下電器産業株式会社

2003年 4月15日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3026894

【書類名】 特許願

【整理番号】 2926430386

【提出日】 平成14年 9月 9日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/3205

【発明者】

 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式
 会社内

 【氏名】 定榮 正大

【特許出願人】

 【識別番号】 000005821

 【氏名又は名称】 松下電器産業株式会社

【代理人】

 【識別番号】 100097445

 【弁理士】

 【氏名又は名称】 岩橋 文雄

【選任した代理人】

 【識別番号】 100103355

 【弁理士】

 【氏名又は名称】 坂口 智康

【選任した代理人】

 【識別番号】 100109667

 【弁理士】

 【氏名又は名称】 内藤 浩樹

【手数料の表示】

 【予納台帳番号】 011305

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9809938

【書類名】 明細書

【発明の名称】 半導体装置の製造方法

【特許請求の範囲】

【請求項 1】 半導体基板上に第 1 の導電膜を形成する工程と、前記第 1 の導電膜上に絶縁膜を形成する工程と、前記絶縁膜上に所定の形状にパターニングされたレジスト膜を形成する工程と、前記レジスト膜をマスクとして前記絶縁膜に開口部を形成する工程と、前記開口部内の第 1 の導電膜の表面に酸化防止層を形成する工程と、前記レジスト膜を除去する工程と、前記酸化防止層を除去する工程と、前記第 1 の導電膜上に第 2 の導電膜を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項 2】 前記第 1 の導電膜の表面に酸化防止層を形成する工程が、前記レジスト膜を除去する工程と同時に行われることを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 3】 前記第 1 の導電膜が Cu を含み、前記酸化防止層が CuO を含むことを特徴とする請求項 1 または請求項 2 に記載の半導体装置の製造方法。

【請求項 4】 前記レジスト膜を除去する工程が酸素プラズマ処理により行われ、酸素プラズマ処理の際の基板温度が 120℃以下であることを特徴とする請求項 3 記載の半導体装置の製造方法。

【請求項 5】 前記レジスト膜を除去する工程が酸素プラズマ処理により行われ、酸素プラズマ処理の圧力が 40Pa 以下であることを特徴とする請求項 3 記載の半導体装置の製造方法。

【請求項 6】 前記酸化防止層を形成する工程および前記レジスト膜を除去する工程がそれぞれ酸素プラズマ処理により行われ、前記第 1 の導電膜の表面に酸化防止層を形成する工程における基板温度は、前記レジスト膜を除去する工程における基板温度よりも低いことを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 7】 前記酸化防止層を形成する工程および前記レジスト膜を除去する工程がそれぞれ酸素プラズマ処理により行われ、前記第 1 の導電膜の表面に酸化防止層を形成する工程における酸素プラズマの圧力は、前記レジスト膜を除去

する工程における酸素プラズマの圧力よりも低いことを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 8】 前記酸化防止層を形成する工程が前記第 1 の導電膜に対する反応性イオン処理により行われ、前記レジスト膜を除去する工程が酸素プラズマ処理により行われることを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 9】 前記第 1 の導電膜が Cu を含み、前記酸化防止層が CuO を含むことを特徴とする請求項 6 ないし請求項 8 のいずれかに記載の半導体装置の製造方法。

【請求項 10】 前記レジスト膜を除去する工程は、基板温度が 200℃以上、250℃以下で行うことを特徴とする請求項 9 記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置の製造方法に関し、特に半導体装置の配線の形成方法に関するものである。

【0002】

【従来の技術】

近年、半導体素子における配線材料に銅が用いられるようになってきた。その加工工程ではドライエッチング技術を用いて配線溝を形成し、配線材料を埋め込むダマシン法が用いられている（例えば特許文献 1 参照）。

【0003】

以下、図 8 を参照しながら従来の半導体装置における配線の形成方法を説明する。

【0004】

図 8（a）～（d）は、従来の半導体装置の工程断面図である。

【0005】

まず、図 8（a）に示すように、シリコンからなる半導体基板 101 上にシリコン酸化膜 102 を形成し、このシリコン酸化膜 102 に埋め込まれる形態で、銅で構成される第 1 の導電膜 103 を形成する。続いて、シリコン酸化膜 102

および第1の導電膜103上に絶縁膜104、開口部105aを有するレジスト膜105を順次形成する。

【0006】

次に、図8(b)に示すように、レジスト膜105をマスクとして絶縁膜104に対するプラズマドライエッチングを行って、絶縁膜104に開口部104aを形成することにより第1の導電膜103の表面を露出させる。プラズマドライエッチングには、平行平板型RIE装置を用い、エッチングガスである CF_4 の流量を50sccm、エッチング堆積物の制御ガスである O_2 の流量を10sccm、基板温度を25℃、RF出力を1000W、チャンバー内の圧力を5Paとする。

【0007】

次に、図8(c)に示すように、酸素ガスを用いたアッシングによりレジスト膜105を除去する。この工程では、マイクロ波プラズマアッシング装置を用い、酸素ガス流量を1000sccm、マイクロ波出力を2000W、放電時間を約1分間、基板温度を約250℃、圧力を約100Paとしている。このアッシングにより、第1の導電膜103の表面に厚さ約40nmの酸化銅層103aが形成される。

【0008】

次に、図8(d)に示すように、フッ化アンモニウムを含む有機酸洗浄、およびArスパッタでアッシング時に生成した酸化銅層103aを除去した後、絶縁膜104上に、開口部104aの内部を含めて第2の導電膜106を形成する。

【0009】

【特許文献1】

特開2001-196371号公報

【0010】

【発明が解決しようとする課題】

しかしながら、従来の半導体装置の製造方法では、第1の導電膜103の表面に形成された酸化銅層103aの厚さが約40nmと比較的厚く形成されてしまうため、有機酸洗浄やArスパッタでは酸化銅層103aを除去しきれず、図8

(d) に示すように、最終的に第 1 の導電膜 1 0 3 と第 2 の導電膜 1 0 6 との間に介在してしまう。そのため、第 1 の導電膜のコンタクト抵抗が高くなってしまう、或いは、コンタクト抵抗がばらつくといった問題があった。

【 0 0 1 1 】

本発明は、第 1 の導電膜 1 0 3 の表面に形成されてしまう酸化銅層 1 0 3 a の厚みの増大を防ぐことにより、第 1 の導電膜 1 0 3 と第 2 の導電膜 1 0 6 との間のコンタクト抵抗を低減すること、およびそのコンタクト抵抗のばらつきを低減することを目的とする。

【 0 0 1 2 】

【課題を解決するための手段】

本発明の半導体装置の製造方法は、半導体基板上に第 1 の導電膜を形成する工程と、前記第 1 の導電膜上に絶縁膜を形成する工程と、前記絶縁膜上に所定の形状にパターンニングされたレジスト膜を形成する工程と、前記レジスト膜をマスクとして前記絶縁膜に開口部を形成する工程と、前記第 1 の導電膜の表面に酸化防止層を形成する工程と、前記レジスト膜を除去する工程と、前記第 1 の導電膜上に第 2 の導電膜を形成する工程とを有するものである。

【 0 0 1 3 】

この発明の構成によれば、第 1 の導電膜の表面に形成された酸化防止層の存在により、レジスト膜を除去する工程における第 1 の導電膜の酸化が抑制されるので、酸化銅層 1 0 3 a が厚くなりすぎず、酸化銅層 1 0 3 a の除去を確実に行うことができる。

【 0 0 1 4 】

【発明の実施の形態】

(実施の形態 1)

以下、本発明の実施の形態 1 に係る半導体装置の製造方法について図面を参照しながら説明する。

【 0 0 1 5 】

図 1 (a) ～図 1 (d) は、本発明の実施の形態 1 に係る半導体装置の製造方法を示す工程断面図である。

【0016】

まず、図1(a)に示すように、シリコンからなる半導体基板11上にシリコン酸化膜12を形成し、このシリコン酸化膜12に埋め込まれる形態で、銅で構成される第1の導電膜13を形成する。続いて、シリコン酸化膜12および第1の導電膜13上にシリコン窒化膜で構成される絶縁膜14、開口部15aを有するレジスト膜15を順次形成する。

【0017】

次に、図1(b)に示すように、レジスト膜15をマスクとして絶縁膜14に対するプラズマドライエッチングを行って、絶縁膜14に開口部14aを形成することにより第1の導電膜13の表面を露出させる。このプラズマドライエッチングには、平行平板型RIE装置を用い、エッチングガスである CF_4 の流量を50sccm、エッチング堆積物の制御ガスである O_2 の流量を10sccm、基板温度を25℃、RF出力を1000W、チャンバー内の圧力を5Paとする。

【0018】

次に、図1(c)に示すように、酸素ガスを用いたアッシングによりレジスト膜15を除去する。この工程では、マイクロ波プラズマアッシング装置を用い、酸素ガス流量を300sccm、マイクロ波出力を2000W、放電時間を約3分間、基板温度を約25℃、圧力を約5Paとした。このアッシングにより第1の導電膜13の表面に形成される酸化銅層13aについては後述するが、厚さは約5nmと薄い。

【0019】

次に、フッ化アンモニウムを含む有機酸薬液による洗浄、およびArスパッタにより酸化銅層13aを除去した後、図1(d)に示すように、絶縁膜14上および開口部14aの内部に銅で構成された第2の導電膜16を形成する。以後、必要に応じて第3、第4の導電膜(図示せず)、及びパッシベーション膜(図示せず)等を形成することにより半導体装置を完成させる。

【0020】

次に、図1(c)に示したアッシング工程において形成された酸化銅層13a

について詳述する。

【0021】

まず、本発明において形成される酸化銅層13aと従来の半導体装置の製造方法において形成される酸化銅層13aの組成の違いについて説明する。

【0022】

図2は、アッシングによりレジスト膜15を除去した後の酸化銅層13aの表面のXPSスペクトルを示している。一般的に、Cuの酸化形態としては、銅と酸素との組成比が2:1のCu₂Oと、銅と酸素との組成比が1:1のCuOが存在するが、従来のような高温、高压でのアッシングの後にはCu₂Oを主成分とした酸化銅層103aが形成され(a)、本発明のような低温又は低压条件でのアッシングでは、CuOを主成分とした酸化銅層13aが形成される(b)。これは、高温、高压条件では熱反応によってCuが酸化し、酸素が欠乏した状態であるCu₂Oが主として形成されるのに対し、低温又は低压条件では半導体基板11とアースとのカップリングによって酸素イオンが強制的に第1の導電膜13の表面に打ち込まれるため、第1の導電膜13の表面には酸素リッチなCuOが形成されるためである。

【0023】

次に、本発明において形成される酸化銅層13aと従来の半導体装置の製造方法において形成される酸化銅層103aの成分の違いに起因する酸化銅層の膜厚の違いについて説明する。

【0024】

図3は、アッシング時間と酸化銅層13aの膜厚との関係を示している。従来の半導体装置の製造方法において形成されるCu₂Oを主成分とする酸化銅層103aは、アッシング時間が長くなるにつれ膜厚が増加する。

【0025】

一方、本発明において形成されるCuO層を主成分とする酸化銅層13aは、アッシング直後に5nm程度のCuが酸化してCuOとなるが、その後アッシングを継続して行っても酸化が進行しないことが確認された。これは、CuO層を主成分とする酸化銅層13aは不動態であり、その下の第1の導電膜13を酸化

させない酸化防止層として働くためであると考えられる。このような薄い酸化銅層 1 3 a は、フッ化アンモニウムを含む薬液や A r スパッタで容易に除去することができる。

【 0 0 2 6 】

図 4 は、アッシング時の圧力と生成した酸化銅全体に対する C u O の含有比率との関係を示している。圧力が 4 0 P a を超えると酸素イオンは散乱されるため酸素イオン運動エネルギーが減少し、第 1 の導電膜 1 3 の表面への打ち込み量が減少して、C u O の生成比率は低い。圧力が 4 0 P a 以下であれば C u O の生成比率が向上する。なお圧力の好ましい下限値は特に無いが、1 P a 以上であればレジスト膜 1 5 のアッシングは十分に可能である。

【 0 0 2 7 】

図 5 は、基板温度と生成した酸化銅全体に対する C u O の生成比率との関係を示している。基板温度が 1 2 0 ° C を超えると熱反応が促進され C u₂O が急激に形成されるため、C u O の形成比率は低い。1 2 0 ° C 以下のときは C u O の形成比率が増加する。なお特に下限値は無いが、装置を複雑化させないためには基板温度を 0 ° C 以上とすることが望ましい。

【 0 0 2 8 】

以上のように、実施の形態 1 によると、1 2 0 ° C 以下または 4 0 P a 以下であれば C u O の生成比率が向上してレジストアッシングと同時に酸化防止層を形成することができ、第 1 の導電膜 1 3 の露出部分における酸化の進行を防止できる。

【 0 0 2 9 】

図 6 は本発明にかかる半導体装置における第 1 の導電膜 1 3 と第 2 の導電膜 1 6 とのコンタクト 1 5 個分のコンタクト抵抗の測定値と、従来の半導体装置におけるコンタクト 1 5 個分のコンタクト抵抗の測定値とをそれぞれ表示したものである。図 6 から、本発明によりコンタクト抵抗が低減され、また、コンタクト抵抗のばらつきが少なくなっていることがわかる。

【 0 0 3 0 】

なお、従来、レジスト膜 1 0 5 のアッシングが高温、高圧条件下で行われてい

たのは、アッシング工程にかかる時間をより短くするためであり、レジスト膜 1 0 5 の除去というアッシング本来の目的を達成するためには当然に採用される自然な条件であるといえる。

【 0 0 3 1 】

一方、本実施の形態にかかる低温又は低圧条件下でのアッシングは、レジスト膜 1 5 の除去という目的だけに着目するとスループットをわざわざ落とすようなものであるため通常は採用し得ない方法であるが、低温又は低圧条件とすることにより第 1 の導電膜 1 3 の表面に CuO を形成し、これを除去した後に第 2 の導電膜 1 6 を形成した結果、第 1 の導電膜 1 3 と第 2 の導電膜 1 6 との間のコンタクト抵抗を大幅に低減できるという格別な成果を得るに至ったものである。

【 0 0 3 2 】

なお、図 1 (c) に示したアッシング工程においては、マイクロ波プラズマアッシング装置を用い、半導体基板 1 1 とアースとのカップリングによるイオン引き込み効果を用いたが、他方式のアッシング装置でも同様の効果が期待できる。さらに、イオンエネルギーを制御できるバイアス電力印加型の設備を用いれば、さらにコンタクト抵抗が低減され、また、コンタクト抵抗のばらつきが低減できると考えられる。

【 0 0 3 3 】

(実施の形態 2)

次に、本発明の実施の形態 2 に係る半導体装置の製造方法について図 7 を参照しながら説明する。

【 0 0 3 4 】

図 7 (a) ~ 図 7 (e) は、本発明の実施の形態 2 に係る半導体装置の製造方法を示す工程断面図である。実施の形態 1 に係る半導体装置の製造方法との違いは、実施の形態 1 に係る半導体装置の製造方法では第 1 の導電膜 1 1 の表面に酸化防止層 (酸化銅層 1 3 a) を形成する工程が、レジスト膜 1 5 を除去する工程と同時に進行しているが、実施の形態 2 では、これらの工程が個別に行われている点にある。以下、その詳細について説明する。

【 0 0 3 5 】

まず、図 7 (a) に示すように、シリコンからなる半導体基板 2 1 上にシリコン酸化膜 2 2 を形成し、このシリコン酸化膜 2 2 に埋め込まれる形態で、銅で構成される第 1 の導電膜 2 3 を形成する。続いて、シリコン酸化膜 2 2 および第 1 の導電膜 2 3 上にシリコン窒化膜で構成される絶縁膜 2 4、開口部 2 5 a を有するレジスト膜 2 5 を順次形成する。

【 0 0 3 6 】

次に、図 7 (b) に示すように、レジスト膜 2 5 をマスクとして絶縁膜 2 4 に対するプラズマドライエッチングを行って、絶縁膜 2 4 に開口部 2 4 a を形成することにより第 1 の導電膜 2 3 の表面を露出させる。プラズマドライエッチングには、平行平板型 R I E 装置を用い、エッチングガスである CF_4 の流量を 5 0 s c c m、エッチング堆積物の制御ガスである O_2 の流量を 1 0 s c c m、基板温度を 2 5 $^{\circ}\text{C}$ 、R F 出力を 1 0 0 0 W、チャンバー内の圧力を 5 P a とする。

【 0 0 3 7 】

引き続き同一のチャンバー内で、酸素ガスの流量を約 3 0 0 s c c m、R F 出力を 2 0 0 W、放電時間を約 1 0 秒間、基板温度を 2 5 $^{\circ}\text{C}$ 、チャンバー圧力を 5 P a とし、酸素プラズマ処理を行うことにより、図 7 (c) に示すように第 1 の導電膜 2 3 の表面に CuO で構成された厚さ約 5 n m の酸化防止層である酸化銅層 2 3 a を形成する。この酸化銅層 2 3 a は不動態であるため、実施の形態 1 の場合と同様に酸化銅層 2 3 a はこれ以上厚くならない。

【 0 0 3 8 】

次に、図 7 (d) に示すように、酸素ガスを用いたアッシングによりレジスト膜 2 5 を除去する。この工程では、マイクロ波プラズマアッシング装置を用い、酸素ガス流量を 1 0 0 0 s c c m、マイクロ波出力を 2 0 0 0 W、基板温度を約 2 5 0 $^{\circ}\text{C}$ 、圧力を約 1 0 0 P a とした。実施の形態 1 の場合とは異なり、アッシングによりレジスト膜 2 5 を除去する工程の前に、既に酸化防止層である酸化銅層 2 3 a が形成されているため、高温高圧下でレジスト膜 2 5 のアッシングを行うことができ、放電時間は約 1 分間と短縮されている。

【 0 0 3 9 】

次に、フッ化アンモニウムを含む有機酸薬液による洗浄、および A r スパッタ

により酸化銅層 2 3 a を除去した後、図 7 (e) に示すように、絶縁膜 2 4 上および開口部 2 4 a の内部に銅で構成された第 2 の導電膜 2 6 を形成する。以後、必要に応じて第 3、第 4 の導電膜（図示せず）、又はパッシベーション膜（図示せず）等を形成することにより半導体装置を完成させる。

【 0 0 4 0 】

以上のように、実施の形態 2 では、コンタクト抵抗が低減され、コンタクト抵抗のばらつきが少なくなるという実施の形態 1 による効果に加え、レジスト膜 2 5 を除去する工程の前に、酸化銅層 2 3 a が既に形成されているため、高温高压下のアッシングにより高スループットでレジスト膜 2 5 の除去を行うことができる。

【 0 0 4 1 】

また、図 7 (b) で説明したドライエッチング装置と同一チャンバーで、図 7 (c) で説明した酸素プラズマ処理を行うため、開口部 2 4 a が途中で大気にさらされることが無く、第 1 の導電膜 2 3 の表面酸化を防止できる。

【 0 0 4 2 】

なお、本実施の形態において、第 1 の導電膜 2 3 の表面に CuO で構成された酸化防止層である酸化銅層 2 3 a を予め形成する手段として平行平板型 R I E 装置を用いた場合について説明したが、実施の形態 1 と同様に、アッシング装置を用いて低温または低圧の条件下において酸化銅層 2 3 a を形成する手段を用いてもよい。この場合は、第 1 の導電膜 2 3 の表面に酸化防止層が形成された後に、アッシング装置を高温高压条件で動作させ、短時間でレジスト膜 2 5 のアッシングを行うこととなる。

【 0 0 4 3 】

【発明の効果】

本発明の半導体装置の製造方法によれば、第 1 の導電膜の表面に形成された酸化防止層の存在により、レジスト膜を除去する工程における第 1 の導電膜の酸化が抑制されるので、第 1 の導電膜と第 2 の導電膜とのコンタクト抵抗を低減でき、また、コンタクト抵抗のばらつきを抑えることができる。

【図面の簡単な説明】

【図 1】

本発明の実施の形態 1 における半導体装置の製造方法を示す工程断面図

【図 2】

同実施の形態にかかる半導体装置の第 1 の導電膜表面の X P S スペクトルを示す図

【図 3】

同実施の形態の半導体装置の製造方法にかかる、アッシング時間と C u 酸化量の関係を示す図

【図 4】

同実施の形態の半導体装置の製造方法にかかる、圧力と C u O の形成比率との関係を示す図

【図 5】

同実施の形態の半導体装置の製造方法にかかる、基板温度と C u O の形成比率との関係を示す図

【図 6】

同実施の形態の半導体装置のコンタクト抵抗を示す図

【図 7】

本発明の実施の形態 2 における半導体装置の製造方法を示す工程断面図

【図 8】

従来の半導体装置の製造方法を示す工程断面図

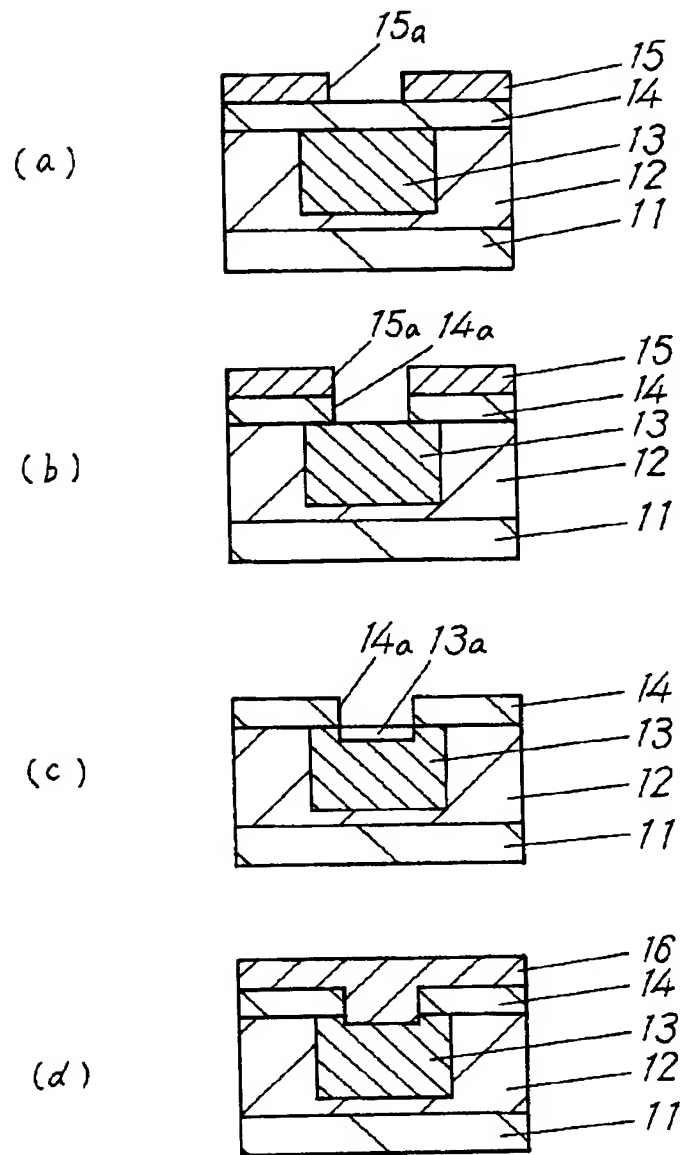
【符号の説明】

- 1 1 半導体基板
- 1 2 シリコン酸化膜
- 1 3 第 1 の導電膜
- 1 3 a 酸化銅層
- 1 4 絶縁膜
- 1 4 a 開口部
- 1 5 レジスト膜
- 1 5 a 開口部

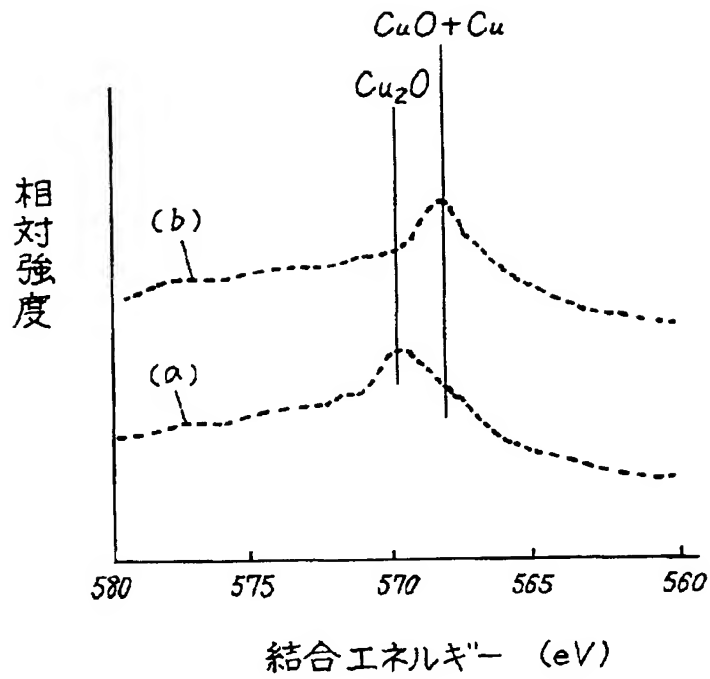
- 1 6 第 2 の導電膜
- 2 1 半導体基板
- 2 2 シリコン酸化膜
- 2 3 第 1 の導電膜
- 2 3 a 酸化銅層
- 2 4 絶縁膜
- 2 4 a 開口部
- 2 5 レジスト膜
- 2 5 a 開口部
- 2 6 第 2 の導電膜
- 1 0 1 半導体基板
- 1 0 2 シリコン酸化膜
- 1 0 3 第 1 の導電膜
- 1 0 3 a 酸化銅層
- 1 0 4 絶縁膜
- 1 0 4 a 開口部
- 1 0 5 レジスト膜
- 1 0 5 a 開口部
- 1 0 6 第 2 の導電膜

【書類名】 図面

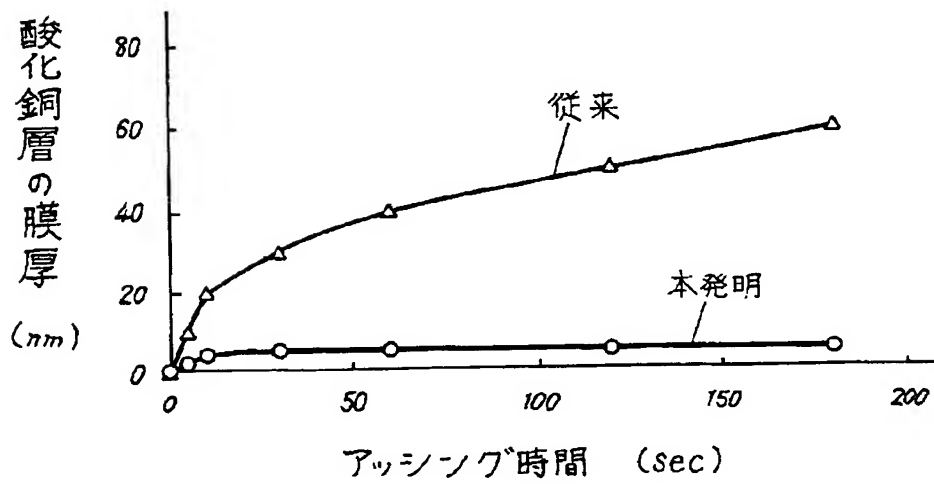
【図 1】



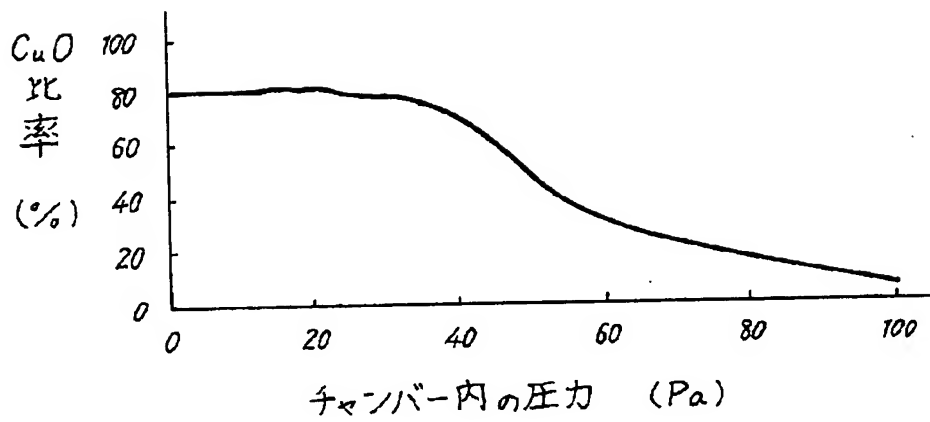
【図2】



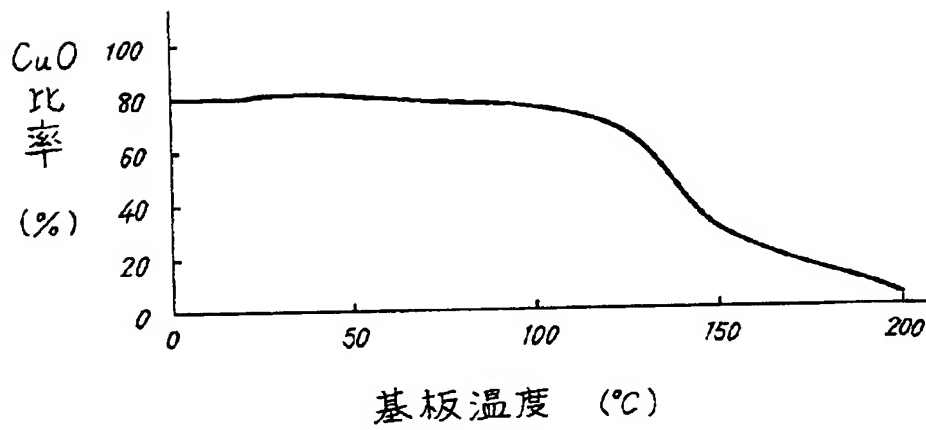
【図3】



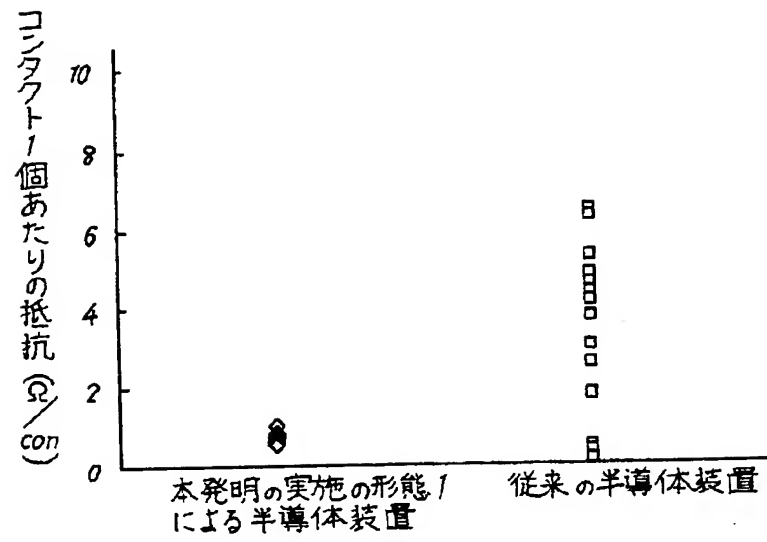
【図 4】



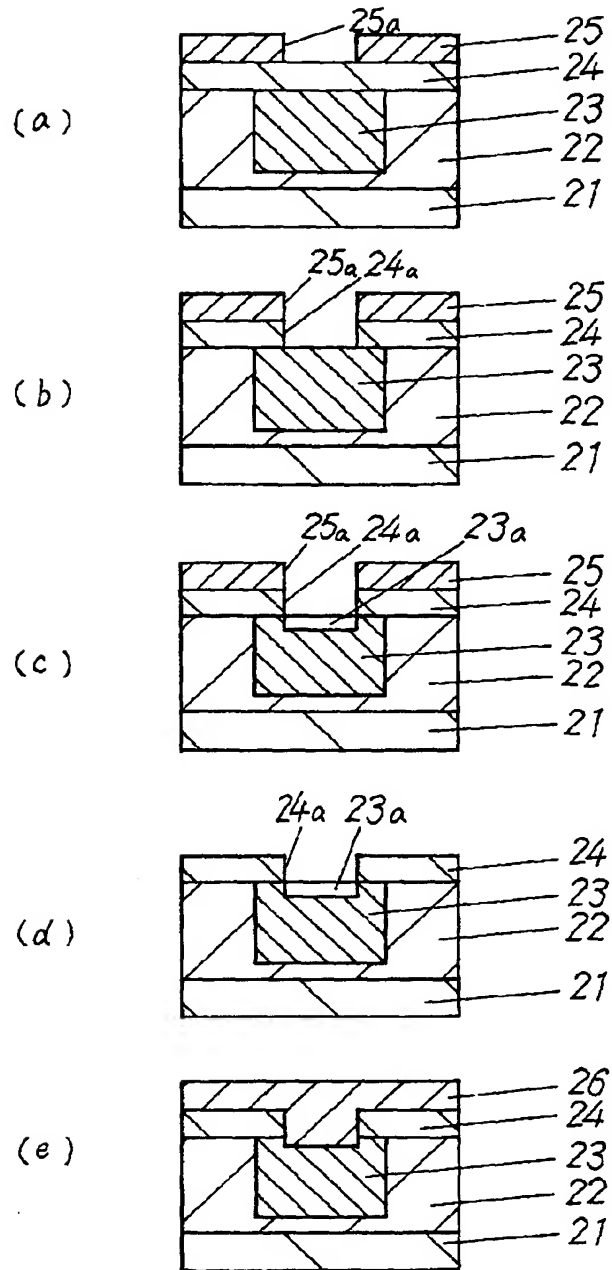
【図 5】



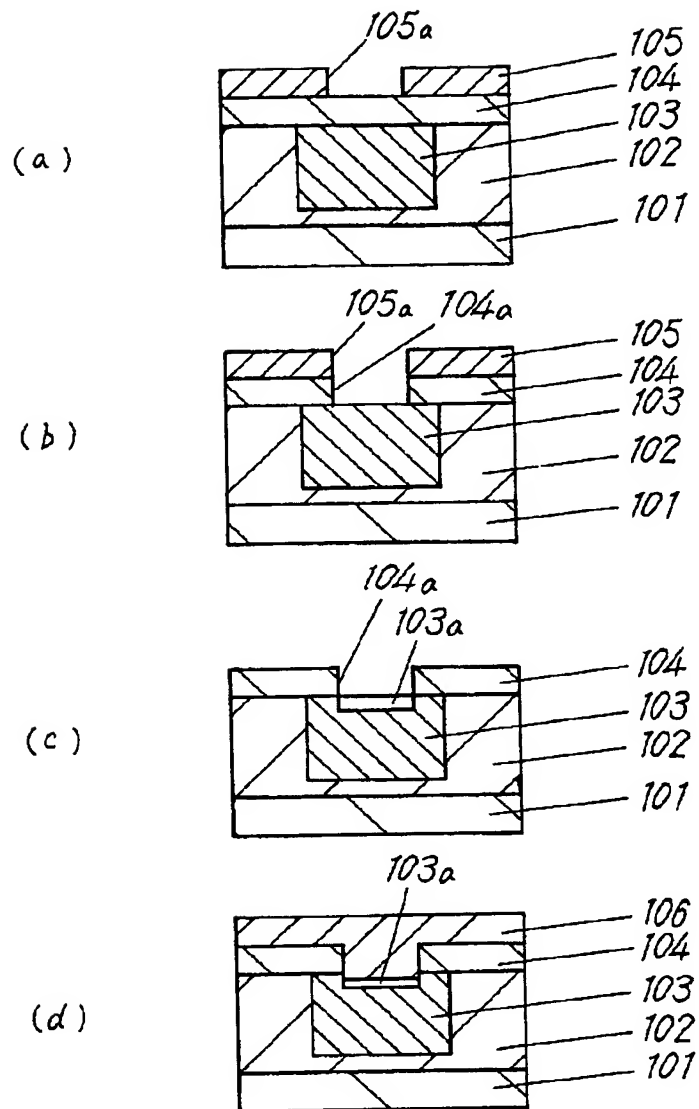
【図 6】



【図 7】



【図 8】



【書類名】 要約書

【要約】

【課題】 配線間のコンタクト抵抗の低減およびそのばらつきを低減することを目的とする。

【解決手段】 半導体基板 1 1 上に第 1 の導電膜 1 3 を形成する工程と、第 1 の導電膜 1 3 上に絶縁膜 1 4 を形成する工程と、絶縁膜 1 4 上にレジスト膜 1 5 を形成する工程と、レジスト膜 1 5 をマスクとして絶縁膜 1 4 に第 1 の導電膜 1 3 に達する孔を形成する工程と、第 1 の導電膜 1 3 の表面に酸化防止層を形成する工程と、レジスト膜 1 5 を除去する工程と、酸化防止層を除去する工程と、第 1 の導電膜 1 3 上に第 2 の導電膜 1 6 を形成する工程とを備える。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 5 8 2 1]

1. 変更年月日	1 9 9 0 年 8 月 2 8 日
[変更理由]	新規登録
住 所	大阪府門真市大字門真 1 0 0 6 番地
氏 名	松下電器産業株式会社